

回路設計および基板設計による EMC 性能のばらつき

小川 一平

株式会社エステック

1. はじめに

電子機器の動作には必ず電磁ノイズの発生し、電磁ノイズの影響を受ける。発生する電磁ノイズをある規定量まで抑えることとその規定量で動作に影響を及ぼさないことを EMC (電磁両立性) とよぶ。EMC 性能を達成するため電子機器メーカーはそれぞれの設計ノウハウを用いて回路設計、基板設計を行っている。設計ノウハウは多くの場合過去のトラブル対策がそのまま用いられるため各メーカー内で閉じていることが多い。そのため実際に設計による EMC 性能の差を評価する機会はほとんどない。今回は低ノイズ実装研究会が運営している"EMC 設計技術実践講座"で作成された基板をもちいて回路設計および基板設計による EMC 性能にどのような差が出るのかを調べた。

2. EMC 設計技術実践講座

EMC 設計技術実践講座は、一般社団法人エレクトロニクス実装学会内の低ノイズ実装研究会が運営しており、受講生が EMC 性能を目標として回路設計、基板設計を行える講座である。

カリキュラムは様々なメーカーの受講生がチームとなり、設計元となる回路図と基板仕様を基に 2 回の基板作成を行う。

1 回目の基板を回路設計、基板設計を行い、できた基板のノイズ解析を行う。その解析結果を基に 2 回目の基板を再設計し評価結果を講座内で発表する。

そのため同じ仕様を元としながら様々なメーカーの EMC 設計のノウハウの詰まった実践的な基板の EMC 性能を評価できる。

今回は 21 年度から 23 年度に作成された 24 枚を評価する。

3. 評価基板概要

今回評価する基板のブロック図を図 3.1 に示す。

構成は受講生が設計する評価基板、主催者側が提供する差動信号(LVDS)を受けてそのまま返すリターン基板、両基板を接続する 1m の USB ケーブルからなる。動作は以下の 2 つのブロックで行われる。

①差動信号：

- ・FPGA から出力した 25MHz の 10bit パラレル信号をシリアライザに入力
- ・シリアライザが 300MHz の差動信号に変換し USB コネクタから USB ケーブルに出力
- ・差動信号が USB ケーブルを介してリターン基板に入力され、そのまま返送
- ・返送された作動信号が USB コネクタから入力され、デシリアライザにて 10bit パラレル信号に変換され FPGA に入力
- ・FPGA にて出力されたパラレル信号と返送されたパラレル信号を比較し差があればエラーとして LED を点灯

②パラレル信号

- ・FPGA から出力した 25MHz の 8bit パラレル信号を基板裏のフリップフロップ IC に VIA を介して入力
- ・フリップフロップ IC から入力された信号を出力
- ・差動信号が USB ケーブルを介してリターン基板に入力され、そのまま返送
- ・返送された作動信号が USB コネクタから入力され、デシリアライザにて 10bit パラレル信号に変換され FPGA に入力
- ・FPGA にて出力されたパラレル信号と返送されたパラレル信号を比較し差があればエラーとして LED を点灯

受講生へ提示する回路図ではパソコン

やダンピング抵抗も記載されておらず、それらを含め EMC 対策を回路設計から行う。

4. 測定結果

4.1.放射エミッション

測定は VCCI3m 法で行った。基板動作は上記作動信号と平行信号を動作させた状態で測定した。このとき発生するノイズは 25MHz の高調波の狭帯域ノイズになる。この狭帯域ノイズでプロットして比較したものが図 4.1 になる。

この図から同じ回路図を基にして EMC 設計を行われたにもかかわらず、基板間の放射ノイズに 30dB 以上の差があることが分かる。

4.2.静電気

測定は IEC61000-4-2 をもとに行った。評価基板とリターン基板の破損を防ぐため、供試品の構成は評価基板に板金を金属スペーサを介して接続し、USB コネクタにはドングル上のジグを接続し直近で作動信号を返送した。基板動作は上記作動信号と平行信号を動作させた状態で測定した。静電気の印加点は USB コネクタとした。静電気印加時に差動信号や平行信号の伝達不具合を FPGA の入出力信号の差分確認により判定した。

印加電圧を±1kV から 10 回づつ行いエラーが発生した印加電圧をまとめたものが図 4.2 になるこの図から静電気耐性が 1kV 以下のものから 14kV 以上のものまで大きくばらついていることが分かる。

5. 考察

これらのばらつきの要因の一つとして USB コネクタ周りの設計があげられる。

例として USB コネクタの GND ピンと 4 層基板の L2 層の GND との接続

があげられる。

図 5.1a は USB コネクタの GND ピンが 4 層基板の L2 層の GND 接続している本数と静電気耐性の相関係数を調べたものである。

相関係数は Pearson の相関係数を用いた。

この図は GND ピンが 4 層基板の L2 層の GND 接続している本数を多くすることで静電気耐性が向上することを示唆している。

一方、図 5.1b は同じく GND ピンが 4 層基板の L2 層の GND 接続している本数を色分けしたと放射エミッションのノイズである。

図 5.1c は USB コネクタの GND ピンと基板 GND が 4 層基板の L2 層で接続されている本数と放射エミッションのノイズの相関係数である。相関係数が 0 以下になると USB コネクタの GND ピンと基板 GND が 4 層基板の L2 層で接続する本数を増やすことで低減される傾向を示す。

これらの図から USB コネクタの接続することで放射エミッションのノイズも全体的に低減されることが示唆される

この時の ESD 耐性向上と放射エミッションの理由はリターン経路という考え方で説明ができる。これは EMC 設計の基本的な考え方の一つであり、信号線の直近の層に広い導体(主に GND 層)を配置することで信号線から放射される電磁界を反射し相殺する考え方である。

USB コネクタから出力差動信号は評価基板上で L1 層に配線されており、リターン経路は L2 層になる。コネクタの GND ピンはコネクタ内のリターン経路になるため GND ピンを評価基板の L2 層に接続することで基板とコネクタのリターン経路が確保できる。

6. まとめ

本稿では同じ仕様かつ EMC 性能を満たそうと実践した基板のばらつきを報告した。放射エミッションで 30dB 以上、ESD 耐性で 10kV 以上の大きな差があることを確認した。この差はメーカーの設計技術により市場で発生しうるものであり、一方で EMC 設計の基本的な考え方により抑えられる。

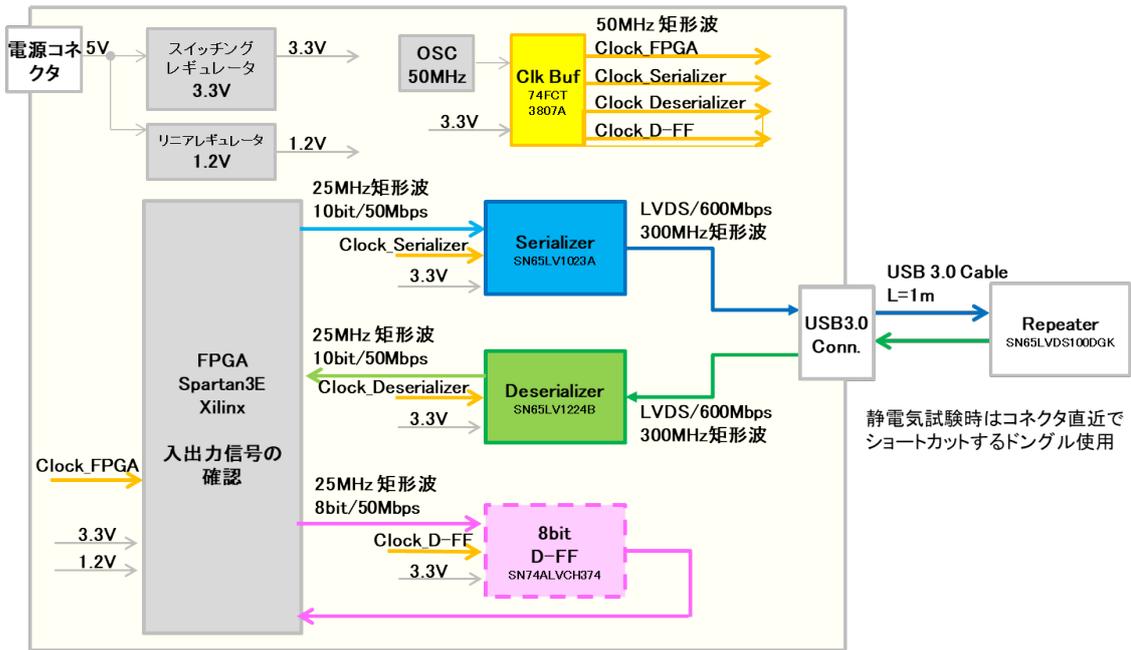


図 3.1 評価基板の回路ブロック図

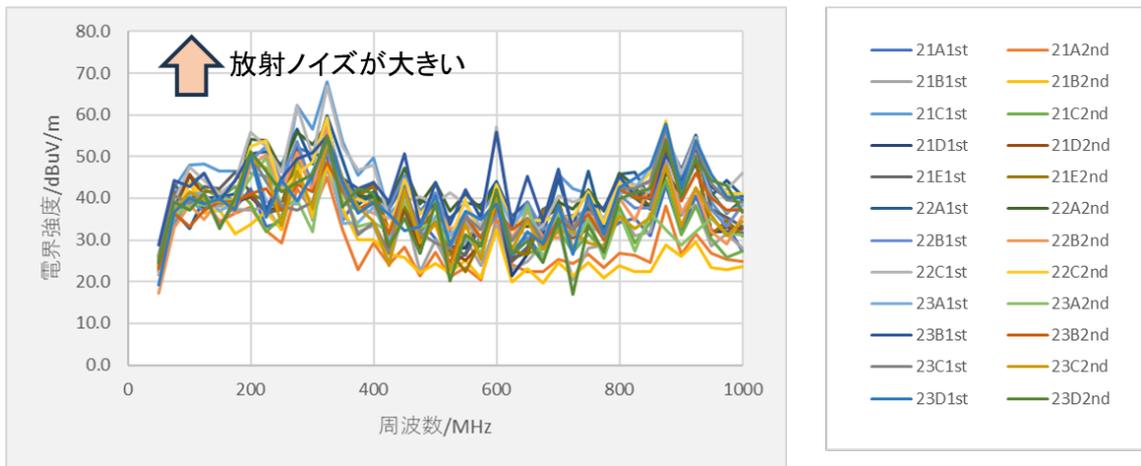


図 4.1 24 枚の評価基板の放射エミッション

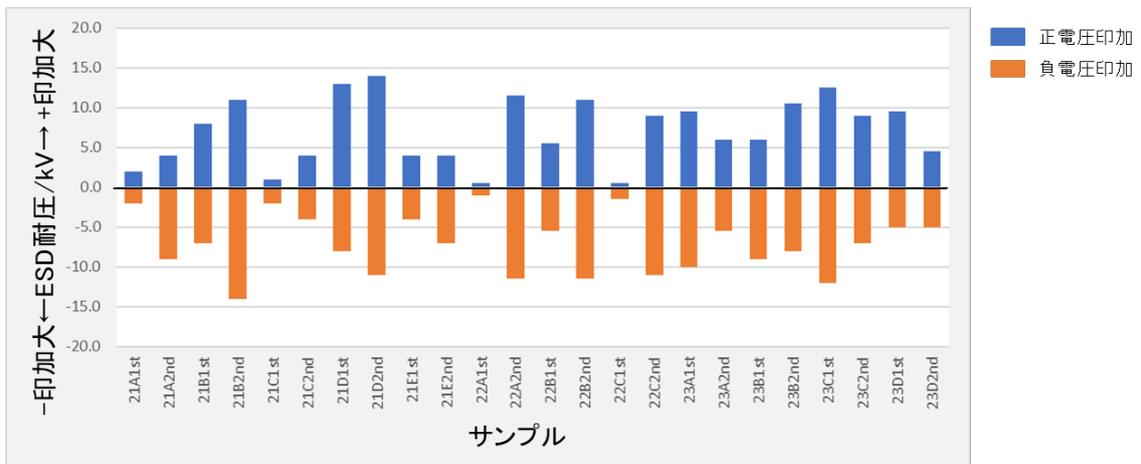


図 4.2 24 枚の評価基板の静電気耐性

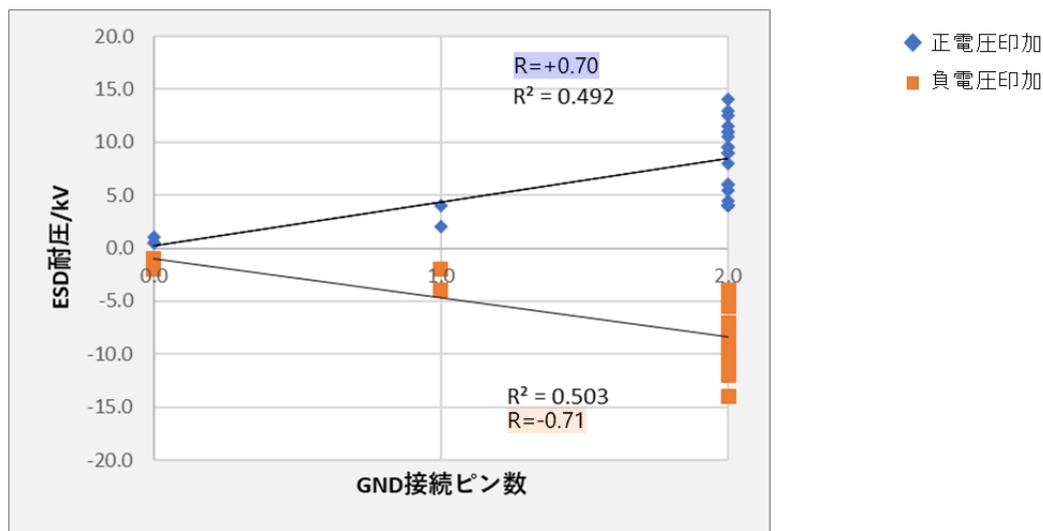


図 5.1a USB コネクタの GND ピンが 4 層基板の L2 層の GND 接続している本数と静電気耐性の相関係数

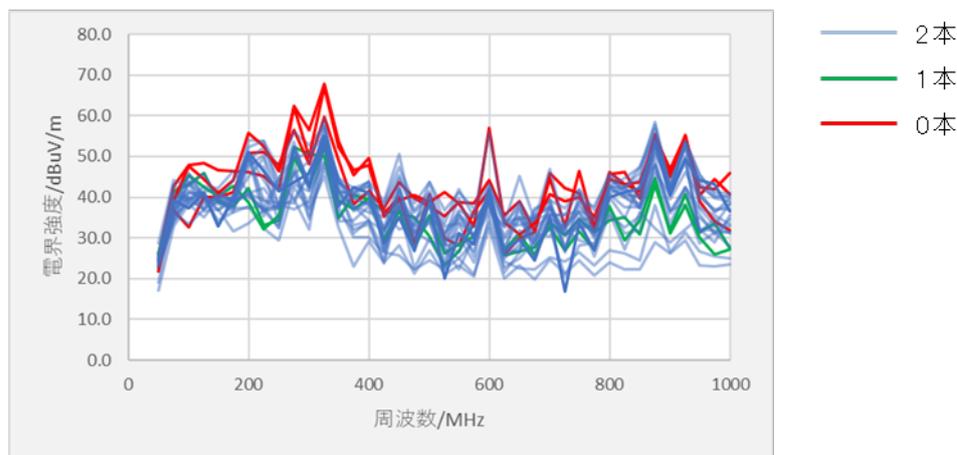


図 5.1b L2 層の GND 接続しているコネクタ GND ピン本数と放射エミッション

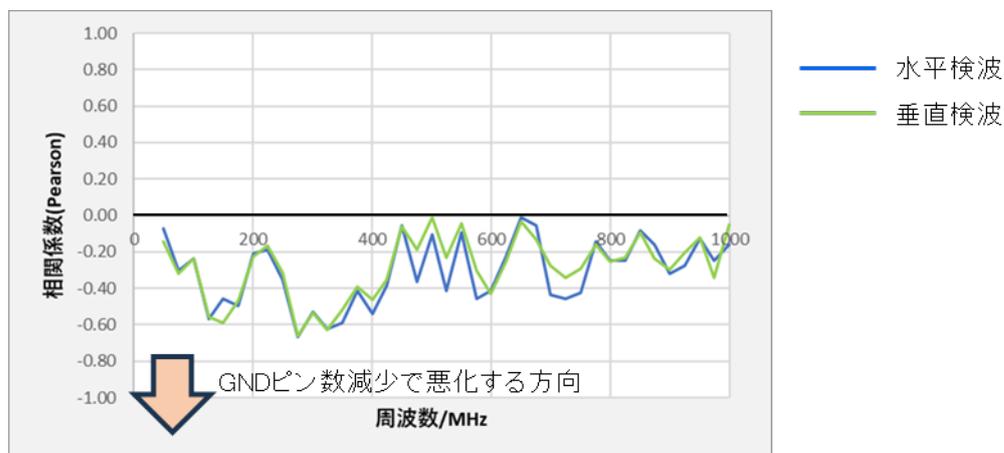


図 5.1c L2 層の GND 接続しているコネクタ GND ピン本数と放射エミッションの相関係数